

© PAJ / JPO

PN - JP62040538 A 19870221
PD - 1987-02-21
AP - JP19850179761 19850815
IN - KAWAI HIDEO; others:01
PA - MITSUBISHI ELECTRIC CORP
TI - DATA PROCESSOR
AB - PURPOSE:To decode and execute a program consisting of an instruction having each different instruction format in equal level by switching to an instruction decoder corresponding to an instruction format of a machine instruction, based on an address of said machine instruction.
- CONSTITUTION:If an instruction to be executed belongs to the first instruction set, the uppermost bit of an address on a main storage device 6 is placed in a range 40 of '0', and the corresponding instruction is fetched and sent to an instruction buffer 17. Also, the upper most bit of the address of the instruction is sent to an instruction decoding control part 50 in an interpreter 49, and the instruction which has been inputted to the instruction decoding control part 50 from the instruction buffer 17 is sent to the first instruction decoder 27 and decoded. Next, if the instruction to be executed belongs to the second instruction set, the uppermost bit of the address on the main storage device 6 is placed in a range 41 of '1', and the instruction which has been inputted to the instruction decoding control part 50 is sent to the second instruction decoder 32 and decoded.
I - G06F9/44 ;G06F9/30

THIS PAGE BLANK (USPTO)
THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-40538

⑬ Int.Cl.⁴

G 06 F 9/44
9/30

識別記号

庁内整理番号

A-8120-5B
A-7361-5B

⑭ 公開 昭和62年(1987)2月21日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 データ処理装置

⑯ 特 願 昭60-179761

⑰ 出 願 昭60(1985)8月15日

⑱ 発 明 者 川 合 英 夫 鎌倉市上町屋325番地 三菱電機株式会社情報電子研究所内

⑲ 発 明 者 上 田 尚 純 鎌倉市上町屋325番地 三菱電機株式会社情報電子研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

機械命令が指定されたアドレスに記憶される主記憶装置と、上記機械命令の命令形式毎に異なった複数の命令解読器を備え、上記主記憶装置の指定されたアドレスから読み出された機械命令を対応する命令解読器で解読して実行するデータ処理装置において、上記主記憶装置から読み出す機械命令のアドレスにもとづき、この機械命令の命令形式に対応する命令解読器に切換える切換手段を備えたことを特徴とするデータ処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、命令形式の異なる複数の機械命令セットを解読して実行するデータ処理装置に関するものである。

(従来の技術)

従来、データ処理装置システムにおいて、本来

そのシステムで実行する機械命令(以下単に命令と呼ぶ)の命令形式とは異なった命令形式を持った命令によって記述されたプログラムを実行する方式として、エミュレータ方式がある。

エミュレータ方式の構成を第4図ないし第6図に示す。

第4図において、1は命令アドレス入力線、2は次に実行される命令の主記憶装置上のアドレスを保持する命令アドレスレジスタ、3は信号線、4は現在実行されている命令のアドレスを保持する現命令アドレスレジスタ、6は主記憶装置、7、8はそれぞれ主記憶装置6上のアドレス部と命令部を示し、アドレス部7には、主記憶装置6の上部から下部に向かって0から例えば2²⁴-1まで1ずつ昇順にアドレスが割り振られている。なお、5は命令アドレスレジスタ2の内容が指すアドレスを示す。また、9は主記憶装置6上にあるプログラムの領域を示し、9aは上記プログラムの領域9のうち、このデータ処理装置システムが本来実行する命令形式の命令によって記述された部分、

9bは上記本来の命令形式とは異なった命令形式をもつ命令によって記述された部分をそれぞれ示している。ここで、10は命令アドレスレジスタ2によって指されているアドレスを示し、11は上記アドレス10に対応する命令である。同様に12と13、14と15はそれぞれアドレスと命令のペアであり、上記アドレス12に対応する命令13は本来の命令形式の命令の一つで、この命令以後の命令は本来の命令形式をしていないことを宣言する命令(以後エミュレート命令と呼ぶ)、そして、アドレス14に対応する命令15以降の命令が本来とは異なった命令形式の命令である。一方、17は上記主記憶装置6から読み出された命令を一時保持する命令バッファであり、18はこの命令バッファ17中の命令の命令コード部、16は命令アドレスレジスタ2の指すアドレスの命令を上記命令バッファ17に送る信号線である。20は上記命令バッファ17から命令を読み込んで、その意味を解釈し、実際に実行するために各種信号線に信号を出力するインクプリタであり、

19は命令の入力線、21、22、23、24は後述する命令解読器27、32からの信号の出力線である。

第5図は上記インクプリタ20を更に詳細に示した図で、25は前記したエミュレート命令13によって起動されるエミュレータ29からの信号により、命令バッファ17から入力された命令の行先を制御する命令解読制御部、27は本来の命令形式をもつ命令を解読する第1命令解読器、32は本来の命令形式とは異なる形式の命令を解読する第2命令解読器である。なお、26、31は命令の流れる方向を示し、28、30は第1命令解読器27からエミュレータ29及びエミュレータ29から命令解読制御部25への信号線を示す。

また、第6図は第5図の命令解読制御部25での処理の流れの示したフローチャートである。同図において、ステップ33ではエミュレータ29からの入力をEとし、ステップ34で上記Eの値によって条件分岐する。ステップ35は上記ステ

ップ34でEがONでなかった場合の処理を示し、命令解読制御部25に命令バッファ17から入力された命令コードは第1命令解読器27に送られるようになっている。一方、ステップ36はEがONであった場合の処理を示し、入力された命令コードは第2命令解読器32に送られるようになっている。

次に上記従来装置の動作について説明する。

まず、第4図に示すように、次に実行される命令のアドレスが命令アドレス入力線1から命令アドレスレジスタ2に入力されると主記憶装置6上の相当するアドレス10が参照され、このアドレス10に対応する命令11が主記憶装置6から取り出されて信号線16により命令バッファ17に保持される。そして、次に実行される命令のアドレスが、命令アドレスレジスタ2に入ると、それまでの命令アドレスレジスタ2の内容は信号線3を介して現命令アドレスレジスタ4に移る。また、命令バッファ17に保持されていた命令のうち、命令のコード部18が命令入力線19によってイ

ンクプリタ20に送られる。

第5図に示すようにインクプリタ20において、命令バッファ17から入力された命令は命令解読制御部25に入る。このとき、第6図ステップ33におけるエミュレータ29からの信号はONではないので、ステップ34の分岐からステップ35へ進み、命令解読制御部25に入力された命令は第1命令解読器27に送られて解読され、命令の実行のために信号出力線21、22に信号が出力される。

このようにして処理が進み、命令アドレスレジスタ2がアドレス12を指すと、エミュレート命令13は命令11と同様に命令バッファ17、命令解読制御部25を経て第1命令解読器27によって解読される。このとき、第1命令解読器27はこのエミュレート命令13を解読してエミュレータ29の起動信号を信号線28に出力するため、エミュレータ29が起動され、このエミュレータ29から命令解読制御部25に対して信号線30を介してON信号が出力される。これにより、第

6図のステップ33において、Eの値がONとなり、ステップ34の分岐からステップ36に移り、以後命令解釈制御部25に命令入力線19を介して入力された命令コードはすべて第2命令解釈器32に送られるようになる。

すなわち、命令アドレスレジスタ2がアドレス14を指すことにより、本来とは異なった命令形式の命令15が命令バッファ17に保持され、その命令コードが命令解釈制御部25に入ると、命令解釈制御部25はその命令コードを本来の命令形式をしていない命令を解釈する第2命令解釈器32に送り、ここで命令コードが解釈されて命令実行のために信号出力線23、24に信号が出力される。

従って、この方式によれば、予め本来の命令形式の命令から成る主プログラムにエミュレート命令を含ませておけば、異なった命令形式の命令でも実行可能となる。

〔発明が解決しようとする問題点〕

従来のエミュレート方式では、本来の命令形式

とは異なる命令形式の命令を実行する際には、上述したように実行の直前に、エミュレート命令という実際のデータ処理には不要な特別な命令を発行する必要があった。また、このエミュレート命令は本来の命令形式の命令から成るプログラムの中から発行される必要があるため、エミュレート命令を含むプログラムとエミュレート命令以後に実行されるプログラムの間に主従関係が生じ、プログラムの柔軟性に欠ける等の問題点があった。

この発明は上記のような問題点を解消するためになされたもので、エミュレート命令のような特別な命令を必要とせず、それぞれ相異なる命令形式をもつ命令から成るプログラムを、それぞれ対等のレベルで解釈、実行することができるデータ処理装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るデータ処理装置は、主記憶装置から読み出す機械命令のアドレスにもとづき、この機械命令の命令形式に対応する命令解釈器に切換える切換手段を備えたものである。

〔作用〕

この発明においては、命令形式の異なる命令を主記憶装置上のそれぞれ指定されたアドレス範囲に記憶させて置くだけで、エミュレート命令のような特別な命令を必要とせず、かつ、ある命令形式の命令から成るプログラムと、それとは異なる命令形式の命令から成るプログラムとを対等のレベルで処理することが可能となる。

〔実施例〕

以下、この発明の一実施例を図について説明する。なお、ここでは、命令セットを2種類とした場合について説明し、前記従来例と同一又は相当部分には同一符号を用いて、その説明は省略する。

第1図において、40、41は主記憶装置6のアドレス7が2進数で表現された場合に、その最上位ビット（最左端のビット）がそれぞれ0、1となる範囲を示し、42、43はそれぞれの範囲40、41に置かれたプログラムの領域、44、46はそれぞれ上記プログラム領域42、43の中の一命令のアドレスを示す。また、このデータ

処理装置が処理する第1の命令セットによって記述されたプログラムはアドレスの最上位ビットが0の範囲40に、第2の命令セットによって記述されたプログラムは最上位ビットが1の範囲41に、あらかじめリンカ及びローダによって置かれているものとする。48は現命令アドレスレジスタ4の保持するアドレスの最上位1ビットをインタプリタ49に送る信号線、49はこの信号線48を介しての入力により命令解釈器を切替えることのできるインタプリタである。

第2図は、上記インタプリタ49をさらに詳細に示した図で、50は現命令アドレスレジスタ4からの入力にもとづき、命令バッファ17から入力された命令コードを、第1又は第2命令解釈器27、32に振り分ける命令解釈制御部であり、これにより本願の切換手段が構成されている。

また、第3図は第2図の命令解釈制御部50での処理の流れを示したフローチャートである。同図において、ステップ51では現命令アドレスレジスタ4からの入力をFとし、ステップ52で上

記Fの値によって条件分岐する。ここで、Fの値が0のときはステップ35に移り、命令バッファ17から入力された命令コードは第1命令解読器27に送られ、Fの値が1のときはステップ36に移り、入力された命令コードは第2命令解読器32に送られるようになっている。

次に動作について説明する。まず、第1図において、次に実行されるべき命令のアドレスが命令アドレス入力線1から命令アドレスレジスタ2に送られる。この命令が第1の命令セットに属するものであれば、主記憶装置6上のアドレスの最上位ビットが0の範囲40に置かれており、例えば命令アドレスレジスタ2がアドレス44を指すとする。次に、アドレス44に対応する命令45は、主記憶装置6上から取り出され、信号線16によって命令バッファ17に送られる。また、このときの命令アドレスレジスタ2の内容は信号線3によって現命令アドレスレジスタ4に送られ、命令アドレスレジスタ2には、次に実行される命令のアドレスが入る。一方、現命令アドレスレジスタ

4のアドレスの最上位ビットは信号線48によりインタプリタ49に送られる。

第2図において、現命令アドレスレジスタ4からの入力は、インタプリタ49中の命令解読制御部50に送られる。このとき、現命令アドレスレジスタ4のアドレスは主記憶装置6上のアドレス44を指しているため、最上位ビットは0となっている。従って、第3図において、ステップ51でFの値は0となり、ステップ52の分岐からステップ35に移り、命令バッファ17から命令解読制御部50に入った命令は、第1命令解読器27に送られて解読され、命令実行のために信号出力線21、22に信号が出力される。

次に、実行する命令が第2の命令セットの命令である場合について説明する。

命令アドレスレジスタ2に次に実行される命令のアドレスが入力され、この命令が第2の命令セットに属するものであれば、この命令は主記憶装置6上のアドレスの最上位ビットが1の範囲41に置かれており、例えばアドレス46が参照され

たとすると、アドレス46に対応する命令47が取り出され、信号線16によって命令バッファ17に送られる。また、命令アドレスレジスタ2には次に実行すべき命令のアドレスが入力され、それまでの命令アドレスレジスタ2の内容は信号線3によって現命令アドレスレジスタ4に移り、その最上位ビットは信号線48によりインタプリタ49に送られる。

第2図で示すように、現命令アドレスレジスタ4からの入力はインタプリタ49中の命令解読制御部50に送られる。このとき、現命令アドレスレジスタ4のアドレスは主記憶装置6上のアドレス46を指しているため、最上位ビットは1となっている。従って、第3図においてステップ51でFの値は1となり、ステップ52の分岐からステップ36に移り、命令バッファ17から命令解読制御部50に入った命令は第2命令解読器32に送られて解読され、命令実行のために信号出力線23、24に信号が出力される。

なお、上記実施例では、命令解読制御部50へ

のアドレスの入力を、現命令アドレスレジスタ4の最上位1ビットとしたが、このビット巾及びその位置は任意である。例えば、ビット巾をnビットに増した場合、最大 2^n 個の命令セットを処理できる。この場合、命令解読器も 2^n 個必要である。

さらにこの場合、主記憶装置6上のアドレスは 2^n 個の連続した範囲（以後セグメントと呼ぶ）に等分割されるが、複数のセグメント内の命令を同一の命令解読器に送ることにより、命令解読器毎に主記憶装置6上のプログラムの置かれる範囲の大きさを変えることができる。

また、上記実施例では主記憶装置6のアドレス7を物理アドレスとして説明したが、このアドレスは論理アドレスでもよいことは言うまでもない。（発明の効果）

以上のように、この発明によるデータ処理装置は、主記憶装置から読み出す機械命令のアドレスにもとづき、この機械命令の命令形式に対応する命令解読器に切換える切換手段を備えたことによ

り、命令形式の異なる命令を解釈、実行する際にも、エミュレート命令のような特別な命令を必要とせず、かつ、処理対象となる複数個の相異なる命令セットに対して、主従関係を生じせず、それぞれを対等のレベルで処理することが可能となるという効果がある。

4. 図面の簡単な説明

第1図及び第2図はこの発明の一実施例によるデータ処理装置の要部を示すブロック図、第3図は上記実施例の命令解釈制御部の制御手順を示すフローチャート、第4図及び第5図は従来装置の要部を示すブロック図、第6図は上記従来装置の命令解釈制御部の制御手順を示すフローチャートである。

2・・・命令アドレスレジスタ、4・・・現命令アドレスレジスタ、6・・・主記憶装置、17・・・命令バッファ、27、32・・・命令解読器、50・・・命令解釈制御部（切換手段）。

なお、図中同一符号は同一又は相当部分を示す。

代理人 大 岩 増 雄（ほか2名）

図1

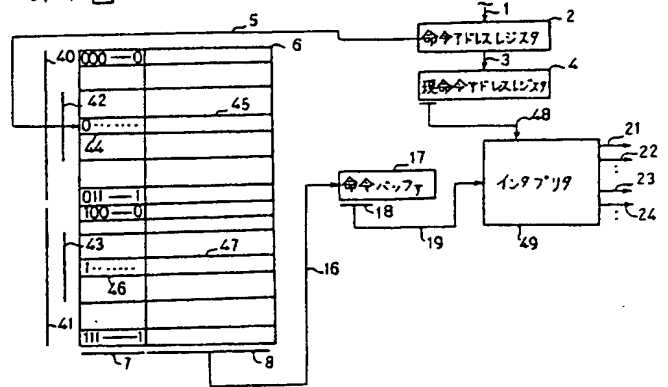


図2

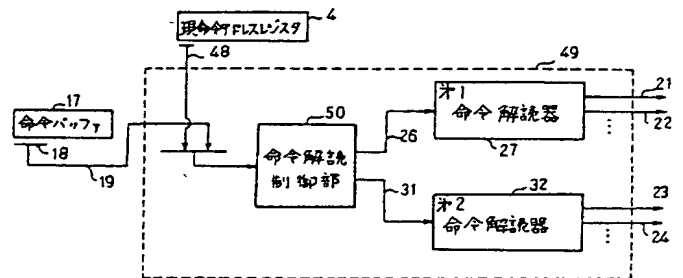


図3

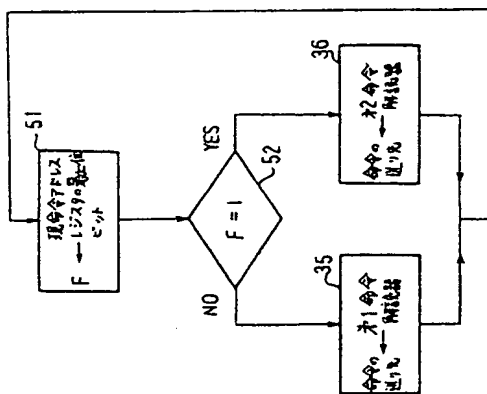


図4

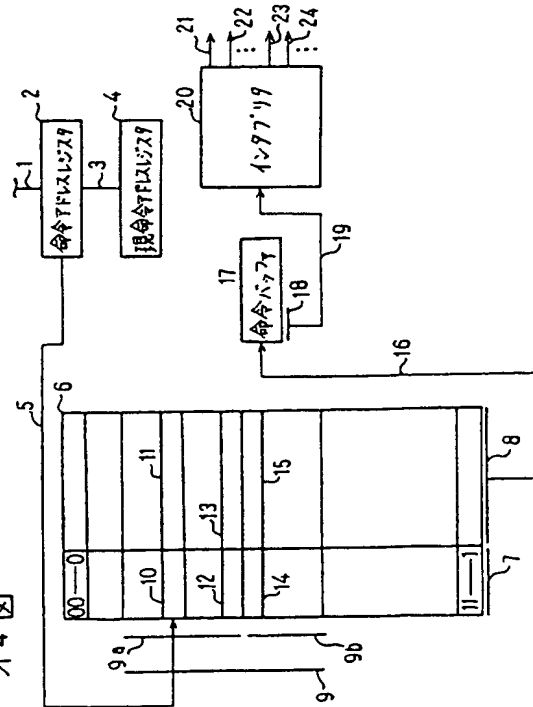


図5

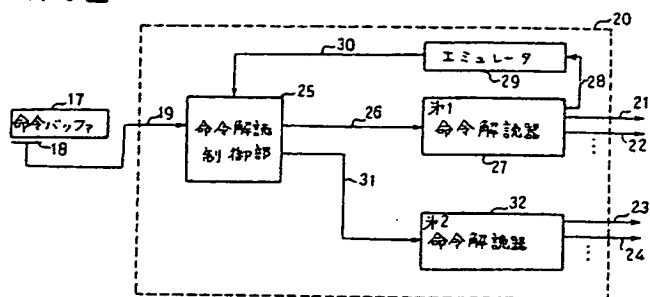


図6

